

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-005783

(43)Date of publication of application : 09.01.1992

(51)Int.Cl.

G06K 17/00

G06F 3/08

G06K 19/07

(21)Application number : 02-106529

(71)Applicant : YAZAKI CORP

(22)Date of filing : 24.04.1990

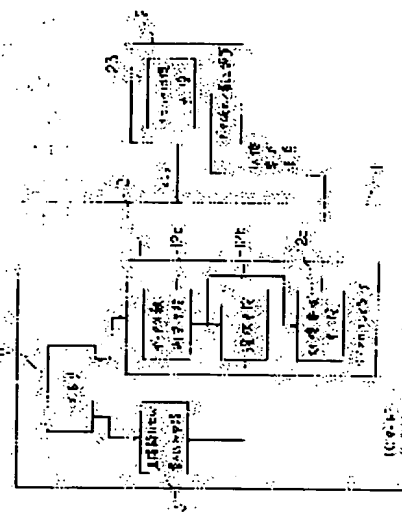
(72)Inventor : AOKI TORU  
SUZUKI SHIGEHARU

## (54) IC CARD DATA READ WRITE DEVICE AND IC CARD

## (57)Abstract:

**PURPOSE:** To improve the transmission speed of a data and to reduce noise at the time of using a non-contact system by providing a microcomputer controlling the read/write of a built-in memory and a direct read/write means with the IC card to use them by switching.

**CONSTITUTION:** In an IC card 1, a microcomputer 12 is provided to control the read/write of a built-in memory 11, and also a direct reading/writing means 13 is provided. When selecting the means 13 by a selection means 12b of this microcomputer 12, a switch request signal is supplied through a switch request means 12c to a reader/writer 2, and a clock supplied from the device 2 is switched to a high-speed clock by a clock switch means 23 to improve the speed of the data transmission while the read/write of the memory is performed rapidly. Along with this, the time of exposing the data to noise from the outside is shortened, and the noise can be reduced in the non-contact system electromagnetic coupling, etc., the IC card.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection][Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-5783

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)1月9日

G 06 K 17/00  
G 06 F 3/08  
G 06 K 19/07

D 6711-5L  
C 7232-5B

6711-5L G 06 K 19/00

N

審査請求 未請求 請求項の数 2 (全9頁)

⑮ 発明の名称 ICカードデータ読出/書込装置及びICカード

⑯ 特 願 平2-106529

⑰ 出 願 平2(1990)4月24日

⑱ 発 明 者 青 木 透 静岡県裾野市御宿1500 矢崎総業株式会社内  
⑲ 発 明 者 鈴 木 重 治 静岡県裾野市御宿1500 矢崎総業株式会社内  
⑳ 出 願 人 矢崎総業株式会社 東京都港区三田1丁目4番28号  
㉑ 代 理 人 弁理士 滝野 秀雄 外3名

明 細 書

1. 発明の名称

ICカードデータ読出/書込装置及びICカード

2. 特許請求の範囲

(1) メモリと、該メモリに記憶されているデータを読み出し或いは該メモリに対して所定のデータを書き込む制御や所定の演算処理などを行なうマイクロコンピュータと、該マイクロコンピュータによらず直接前記メモリに対してデータの書き込み或いは該メモリに記憶されているデータの読み出しを行なう直接読み出し/書き込み手段を有するICカードと、

該ICカードが着脱自在に装着され、読み出されたデータをICカードから受け取ると共に、ICカードに対して書き込みのためのデータを送出するデータ読出/書込装置とを備え、

前記ICカードが、前記データ読出/書込装置から入力するデータ分類コマンドに基づいて、データ分類を判定するデータ分類判定手段と、

該データ分類判定手段による判定結果によって前記直接読み出し/書き込み手段を選択的に働かせる選択手段と、前記データ分類判定手段による判定結果によって前記データ読出/書込装置に対してクロックの切換要求信号を送出する切換要求手段とを有し、

前記データ読出/書込装置が、前記ICカードの切換要求手段からの切換要求信号によってクロックの速度を切り換えるクロック切換手段を有する、

ことを特徴とするICカードデータ読出/書込装置。

(2) メモリと、該メモリに記憶されているデータを読み出し或いは該メモリに対して所定のデータを書き込む制御や所定の演算処理などを行なうマイクロコンピュータと、該マイクロコンピュータによらず直接前記メモリに対してデータの書き込み或いは該メモリに記憶されているデータの読み出しを行なう直接読み出し/書き込み手段と、外部から入力するデータ分類コマン

ドに基づいて、データ分類を判定するデータ分類判定手段と、該データ分類判定手段による判定結果によって前記直接読み出し／書き込み手段を選択的に働かせる選択手段と、前記データ分類判定手段による判定結果によって外部に対してクロックの切換要求信号を送出する切換要求手段とを有する、

ことを特徴とするICカード。

### 3. 発明の詳細な説明

#### (産業上の利用分野)

本発明は、メモリと共にマイクロコンピュータ(以下CPUという)を内蔵したICカードと、このICカードが着脱自在に装着され、読み出されたデータをICカードから受け取ると共に、ICカードに対して書き込みのためのデータを送出するデータ読出／書込装置とを備えるICデータ読出／書込装置及びICカードに関するものである。

#### (従来技術)

従来、ICカードとして、メモリの他に該メモ

リに対するデータの読み出し／書き込み制御や、所定の演算処理を行なうCPUを内蔵し、このCPUにトータルシステムでの高度な分散処理、データのファイル管理、機密保持管理などを行わせるようにしたものがある。このようなICカードのメモリに対してデータの読み出し／書き込みを行なうときには、ICカードをリーダライタ(R/W)に対して接触式或いは非接触式で装着し、該R/Wを介してホストコンピュータなどの所定の装置とICカードとを接続することにより、ICカード内のメモリとホストコンピュータとの間でデータの授受を行って読み出し／書き込みを行なう。

#### (発明が解決しようとする課題)

現在、CPUを内蔵するICカードとR/Wとのアクセス速度は、接触式及び非接触式にかかわらずホストコンピュータとR/Wのインターフェース(I/F)の伝送速度に合わせている。これは、ICカードが内蔵しているCPUの処理速度に依存せざるを得ないためである。これに対して

CPUを内蔵しないメモリカードでは、R/W上のCPUによるカードとのDMA転送を行ったり、高速なI/Fを使用してデータ伝送の高速化を実現している。

以上要するに、ICカードはCPUを内蔵しているがゆえにアクセス速度或いはアクセスタイムがメモリカードに比べて著しく遅く大きな欠点となっている。このため、ICカードとR/Wとの間の結合を電磁結合などによる非接触式にしたときには、ノイズ干渉などの雑音により、データアクセスにかかる時間が長くなるほどノイズの影響を受け、データの信頼性が低下してしまう。

よって本発明は、上述した従来の問題点に鑑み、データの伝送速度の高速化を図り、非接触式であってもノイズによる影響を少なくしたCPU内蔵のICカードを提供することを課題としている。

#### (課題を解決するための手段)

上記課題を解決するため本発明により成されたICカードデータ読出／書込装置は、第1図の基本構成図に示す如く、メモリ11と、該メモリ1

1に記憶されているデータを読み出し或いは該メモリに対して所定のデータを書き込む制御や所定の演算処理などを行なうマイクロコンピュータ12と、該マイクロコンピュータ12によらず直接前記メモリに対してデータの書き込み或いは該メモリに記憶されているデータの読み出しを行なう直接読み出し／書き込み手段13を有するICカード1と、該ICカード1が着脱自在に装着され、読み出されたデータをICカード1から受け取ると共に、ICカード1に対して書き込みのためのデータを送出するデータ読出／書込装置2とを備え、前記ICカード1が、前記データ読出／書込装置2から入力するデータ分類コマンドに基づいて、データ分類を判定するデータ分類判定手段12aと、該データ分類判定手段12aによる判定結果によって前記直接読み出し／書き込み手段13を選択的に働かせる選択手段12bと、前記データ分類判定手段12aによる判定結果によって前記データ読出／書込装置2に対してクロックの切換要求信号を送出する切換要求手段12cと有

し、前記データ読出／書込装置2が、前記ICカード1の切換要求手段12cからの切換要求信号によってクロックの速度を切り換えるクロック切換手段23を有することを特徴としている。

また、本発明によるICカードは、第1図の基本構成図に示す如く、メモリ11と、該メモリ11に記憶されているデータを読み出し或いは該メモリ11に対して所定のデータを書き込む制御や所定の演算処理などを行なうマイクロコンピュータ12と、該マイクロコンピュータ12によらず直接前記メモリ11に対してデータの書き込み或いは該メモリに記憶されているデータの読み出しを行なう直接読み出し／書き込み手段13と、外部から入力するデータ分類コマンドに基づいて、データ分類を判定するデータ分類判定手段12aと、該データ分類判定手段12aによる判定結果によって前記直接読み出し／書き込み手段13を選択的に働かせる選択手段12bと、前記データ分類判定手段12bによる判定結果によって外部に対してクロックの切換要求信号を送出する切換

要求手段12cとを有することを特徴している。

(作用)

以上の構成において、ICカード1内のマイクロコンピュータ12は、メモリ11に対してデータの読み出し／書き込み制御や、所定の演算制御を行う。また、直接読み出し／書き込み手段13は、データ読出／書込装置2から入力するデータ分類コマンドに基づいてデータ分類判定手段12aが行うデータ分類の判定結果によって選択手段12bにより働かされる。また、データ分類判定手段12aによる判定結果によって切換要求手段12cが、データ読出／書込装置2に対してクロックの切換要求信号を送出し、これに応じてデータ読出／書込装置2内のクロック切換手段23がICカード1へのクロックの速度を切り換えるので、ICカードデータ読出／書込装置におけるICカードの読出及び書込のためのデータの伝送速度をデータの種別に応じて高低に切り換えることができる。

また、ICカード1内の直接読み出し／書き込

み手段13は、外部から入力するデータ分類コマンドに基づいてデータ分類判定手段12aが行うデータ分類の判定結果によって選択手段12bにより選択的に働かされる。そして、データ分類判定手段12aによる判定結果によって切換要求手段12cが、外部に対してクロックの切換要求信号を送出するようにしているので、該切換要求信号に応じて外部から入力するクロックにより読出及び書込のためのデータの伝送速度をデータの種別に応じて高低に切り換えることができる。

よって、メモリ11に対するデータの読み出し或いは書き込みが、ICカード内のマイクロコンピュータ12によって全て行われるものに比べて高速に行えるようになる。

(実施例)

以下、本考案の実施例を図面に基いて説明する。

第2図は本発明によるICカードの一実施例を示し、同図において、1は接触端子を持たない非接触式のICカードであり、該ICカード1はそ

の内部にEPROMやEEPROMなどから構成されたデータメモリ11と、CPU12と、直接メモリアクセスコントローラ(以下DMACという)13と、I/O切換回路14と、シリアル／パラレル変換回路15と、パラレル／シリアル変換回路16と、復調回路17と、変調回路18と、受信コイル19と、送信コイル20と、整流平滑及び電圧安定化回路21と、発振回路22とを備える。

また、2はリーダライタ(R/W)であり、該R/W2はI/O切換回路21と、コマンド判別回路22と、タイミング制御回路23と、バッファメモリ24と、インターフェース25と、シリアル／パラレル変換回路26と、パラレル／シリアル変換回路27と、復調回路28と、変調回路29と、受信コイル30と、送信コイル31と、発振回路32とを備える。

以上の構成において、R/W2に対してICカード1を非接触式で装着すると、送信コイル31、20と受信コイル19、30とが互いに電磁結合

され、送信コイルが発生する磁界の変化を受信コイルにより誘導電流として取り出し、データの送受信や電源供給を非接触式で行う。なお、電磁結合の他に光結合やマイクロ波によっても非接触式で送受信を行なうことができる。

ICカード1内のCPU12は、メモリ11に対して読み出し／書き込み制御信号（以下R/W信号という）とアドレス信号を出力し、CPU12を介してメモリ11のデータがI/O切換回路14に入出力される。更に、CPU12は内部のマイクロプログラムの中にDMACプログラムを内蔵している。

また、DMAC13はメモリ11に対してR/W信号、アドレス信号を出力し、メモリ11のデータがI/O切換回路14に直接入出力される。I/O切換回路14はDMAC13に対して直接メモリアクセス（以下DMAという）の要求信号を出力し、DMAC13はI/O切換回路14に対してDMAの許可信号を出力し、これによってI/O切換回路14はCPU12を介したデータ

の読み出し／書き込みと、CPU12を介さずに直接メモリ11に対するデータの読み出し／書き込みを切換える。メモリ11からのパラレルデータはI/O切換回路14を介してパラレル／シリアル変換回路16に入力されシリアルデータに変換され、更に変調回路18により変調されて送信コイル20に入力される。

一方、受信コイル19で受信されたシリアルデータは復調回路17により復調され、シリアル／パラレル変換回路15でパラレルデータに変換されてI/O切換回路14に入力される。また受信コイル19で受信された電源は、整流平滑及び電圧安定化回路21により整流平滑と電圧安定化が行なわれて各部に供給される。また、発振回路22はCPU12とDMAC13に動作クロックを与える。

メモリ11は、処理結果や一時データなどの各種汎用データを記憶する汎用データ領域111と識別コード(ID)などの所定データを登録するための登録データ領域112とを有する。具体的

には、登録データ（カード設定データ）としては、①パソコン、データ管理装置からICカード1の立ち上げを行いICカード1内のCPU12を活性化させるためのデータ、②正当性確認などの処理を行うためのIDデータ、③メモリ11などのICカード1内のシステムの管理、設定を行うためのデータがあり、汎用データとしては、ICカード1内のメモリ11に蓄積された日報データがある。要するに、登録データはICカード1のシステムを設定したりする、所謂カードコントロールデータであり、汎用データは上記設定終了後にICカード1と装置間で授受される一般にICカード1の内容に関係しないデータである。なお、DMAC13は、同図に点線で示すように、CPU12と1チップで構成されるものでもよい。

R/W2において、インターフェース25を介してホストコンピュータ3から入力されるR/W信号は、バッファメモリ24とI/O切換回路21に入力される。また、ホストコンピュータ3からの読み出し／書き込みデータは、バッファメモ

リ24を介してI/O切換回路21に入出力される。そして、ICカード1内のメモリ11に記憶されているデータを読み出すときには、受信コイル30によりメモリ11のデータを受信し、復調回路28でこれを復調してシリアル／パラレル変換回路26においてパラレルデータに変換し、コマンド判別回路22を介してI/O切換回路21に入力し、更にバッファメモリ24、インターフェース25を介してホストコンピュータ3に対して出力する。また、データをメモリ11に書き込むときは、ホストコンピュータ3からのデータ及びR/W信号をインターフェース25、バッファメモリ24、I/O切換回路21を介してパラレル／シリアル回路27に入力してシリアル変換し、更に変調回路29により変調して送信コイル31に出力する。

一方、ホストコンピュータ3からのメモリ11のアドレス信号は、インターフェース25、タイミング制御回路23及びバッファメモリ24を介

じてI/O切換回路21に入力され、パラレル/シリアル変換回路27、変調回路29、送信コイル31を通じてICカード1に出力される。

タイミング制御回路23は、発振回路32からのクロックに基づき、通常速度の通常クロックと、高速度の高速クロックの2種類のクロックを選択的に出力する。そして、通常クロックのときにはメモリ11の登録データ領域112に対してCPU12によるデータの読み出し/書き込みを行ない、高速クロックのときには汎用データ領域111に対してDMAによる読み出し/書き込みを行う。

また、コマンド判別回路22は、受信コイル30、復調回路28、シリアル/パラレル変換回路26を介してICカード1から出力された速度変換要求信号をデコードし、そのデコード結果をタイミング制御回路23に入力することにより、このタイミング制御回路23からの上記クロック速度を設定する。なお、I/O切換回路14, 21はクロック速度を常時監視してタイミングのずれ

を防止している。

上述のことを行うために予めICカード1のコマンドとして、「登録データ書込」、「汎用データ書込」、「登録データ読出」及び「汎用データ読出」を用意しておく。これらのコマンドをICカード1がデコードすることにより、登録データと汎用データの区別、読出と書込の区別を行うことができる。ICカード1は上記によってR/Wに速度切換要求を行い、このためにICカード1からの出力回路はフリップフロップを用い、ICカード1が活性化(CPU12のプログラムのリセットなどのカードのリセット処理)を行うときには登録データ速度で行うように出力信号を送出する。このときの信号は、他のコマンドと重複しないようなものを選定し、誤動作を防止するようにする。ICカード1が活性化されてからのICカード1とR/Wの伝送速度は、平常では低速になっているので、速度切換コマンドを汎用データのリード、ライトのオン、オフの区別をすることで制御することができる。

第3図は、ICカード1内のCPU12が実行する仕事(一部その他の回路の処理も含む)を示すフローチャート図であり、CPU12はICカード1がR/W2に装着されると起動され、まずステップS1においてICカード1を活性化し、タイミング制御回路23に対してメモリ11の読み出し/書き込み速度をCPU12を介した読み出し/書き込みを行なう通常の速度に設定すると共に、ICカード1の正当性を確保する。

次にステップS2においてR/W2を介してホストコンピュータ3からデータ分類コマンドと共に入力するR/W信号に基づいてメモリ11に対するデータの読み出しか、書き込みかを判定し、読み出し処理であればステップS3に進む。

ステップS3においては、読み出しコマンドとアドレス信号をR/W2から受信コイル19、復調回路17、シリアル/パラレル変換回路15、I/O切換回路14を介して受信する。次に、ステップS4において、上記データ分類コマンドに基づいて読み出すデータが汎用データであるか登

録データであるかを判定し、登録データであればステップS5に進み、ここでCPU12からメモリ11の登録データ領域112にアクセスし、次のステップS6においてこのアクセスしたアドレスのデータを取り込むと共に、I/O切換回路14、パラレル/シリアル変換回路16、変調回路18、送信コイル20を介してR/W2に対して出力させる。

上記ステップS4の判定の結果読み出すデータが汎用データであればステップS7に進み、CPU12はDMAプログラムを実行する。これによりCPU12はスタンバイとなり、R/W信号、アドレス信号、データの各バスの所有権はCPU12からDMAC13に切替わる。すなわち、ステップS4の実行によってCPU12は、外部装置であるホストコンピュータ3から読み出しコマンドと共に入力するデータ分類コマンドに基づいて、前記直接読み出し/書き込み手段としてのDMAC13を選択的に働かせる選択手段として機能している。

次にステップS 8に進み、R/W 2に対して速度切換要求信号(高速クロックの要求信号)を出力する。その後ステップS 9において、R/W 2がこの要求信号を受信コイル30で受信し、復調回路28、シリアル/パラレル変換回路26を介してコマンド判別回路22が入力してこれをデコードする。そしてステップS 10においてタイミング制御回路23が通常速度から高速度の高速クロック発振に切換わる。次のステップS 11においては、速度が切替わったか否かを判定し、判定がYESならばステップS 12においてR/W 2からICカード1に対して読み出しアドレス信号をパラレル/シリアル変換回路27、変調回路29、送信コイル31を介して出力する。次にステップS 13に進み、ここでDMAC 13は該アドレス信号によりメモリ11の汎用データ領域111をアクセスし、そこに記録されているデータをパラレル/シリアル変換回路16、変調回路18、送信コイル20を介してR/W 2に対して出力する。上記ステップS 10～S 13がDMA転送処

理である。

そしてステップS 14において、上記データの送出後R/W 2に対して通常速度に再度切換えるための速度切換要求信号を出力し、ステップS 15においてコマンド判別回路22がこれをデコードし、ステップS 16においてタイミング回路23が該デコード出力により通常速度の通常クロック発振に切換える。その後ステップS 17において通常速度に切替わったか否かを判定し、YESならばステップS 33に進み、DMAC 13はCPU 12に対してDMA転送処理の終了信号とCPUアクティブ信号を出力し、DMACプログラムを終了して制御権をCPU 12に渡す。これによりバスの所有権は再びCPU 12のものとなり、メインプログラムが実行される。

上記ステップS 2における判定の結果が、メモリ11に対するデータの書き込みであれば、ステップS 18に進む。このステップS 18においては、書き込みコマンドとアドレス信号をR/W 2から受信コイル19、復調回路17、シリアル/

パラレル変換回路15、I/O切換回路14を介して受信する。次にステップS 19において書き込みデータが登録データか汎用データであるかを判定し、登録データであればステップS 20に進んで、メモリ11の登録データ領域112をアクセスし、次のステップS 21において、ホストコンピュータ3からの書き込みデータをR/W 2を介して入力し、更に受信コイル19、復調回路17、シリアル/パラレル変換回路15、I/O切換回路14を通じて入力して上記アクセスしたアドレスに書き込みデータを書き込む。

また上記ステップS 19の判定の結果、読み出すデータが汎用データであれば、ステップS 22に進み、ここでDMAプログラムに分岐してメインプログラムを停止する。これによりCPU 12はスタンバイとなり、R/W信号、アドレス信号、データの各バスの所有権はCPU 12からDMAC 13に切替わる。すなわち、ステップS 19の実行によってCPU 12は、外部装置であるホストコンピュータ3から書き込みコマンドと共に入

力するデータ分類コマンドに基づいて、前記直接読み出し/書き込み手段としてのDMAC 13を選択的に働かせる選択手段として機能している。

次にステップS 23に進み、DMAC 13はR/W 2に対して速度切換要求信号(高速クロックの要求信号)を出力する。R/W 2は該要求信号を受信コイル30で受信し、ステップS 24において復調回路28、シリアル/パラレル変換回路26を介してコマンド判別回路22に入力し、これをデコードする。そしてステップS 25においてタイミング制御回路23が通常速度から高速度の高速クロック発振に切換える。次のステップS 26では、速度が切替わったか否かを判定し、YESならばステップS 27において、R/W 2からICカード1に対して書き込みアドレス信号と書き込みデータがパラレル/シリアル変換回路27、変調回路29、送信コイル31を介して出力される。次にステップS 28に進み、ここでDMAC 13は該アドレス信号によりメモリ11の汎用データ領域111をアクセスし、書き込みデー



タを書き込み格納する。上記ステップS25～S28がDMA転送処理である。

そしてステップS29において上記データの書き込み後R/W2に対して通常速度に再度切換えるための速度切換要求信号を出力し、ステップS30においてコマンド判別回路22がこれをデコードし、ステップS31においてタイミング回路23がこのデコード出力により通常速度の通常クロック発振に切換える。そしてステップS32において通常速度に切替ったか否かを判定し、YESならばステップS33に行き、DMAC13はCPU12に対してDMA転送処理の終了信号とCPUアクティブ信号を出力し、DMACプログラムを終了して制御権をCPU12に渡す。これによりバスの所有権は再びCPU12のものとなり、メインプログラムが実行される。

なお、上記実施例では非接触式のICカードについて説明したが、接触式であってもよい。しかし、非接触型のICカードに適用したときには、データがICカードと送受信手段間の空間に存在

する時間が短縮されるので、外来ノイズ等に対するデータの信頼性が向上する。

(効果)

以上説明したように本発明によれば、直接読み出し／書き込み手段が、マイクロコンピュータによらず直接メモリに対してデータの読み出し／書き込みを行うようになっているので、メモリに対するデータの読み出し或いは書き込みが、マイクロコンピュータによって行われるものに比べて高速に行えるようになり、また短時間で大量のデータの読み出し／書き込みが可能となるので、非接触型のICカードであっても、データが外来ノイズに曝される時間が短縮されるので、外来ノイズ等に対するデータの信頼性が向上するという効果が得られる。

#### 4. 図面の簡単な説明

第1図は本発明によるICカードデータ読出／書込装置及びICカードの基本構成を示すブロック図、

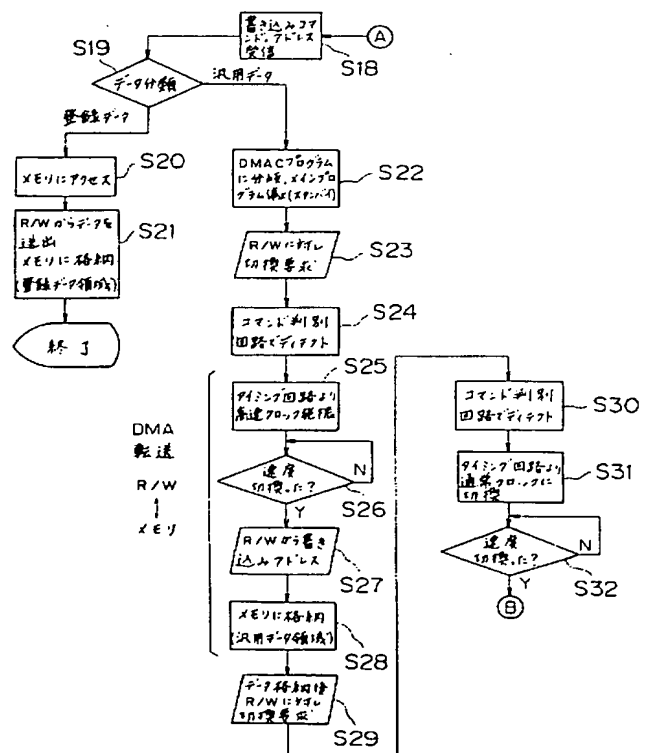
第2図は本発明によるICカードデータ読出／

書込装置の実施例を示す図、

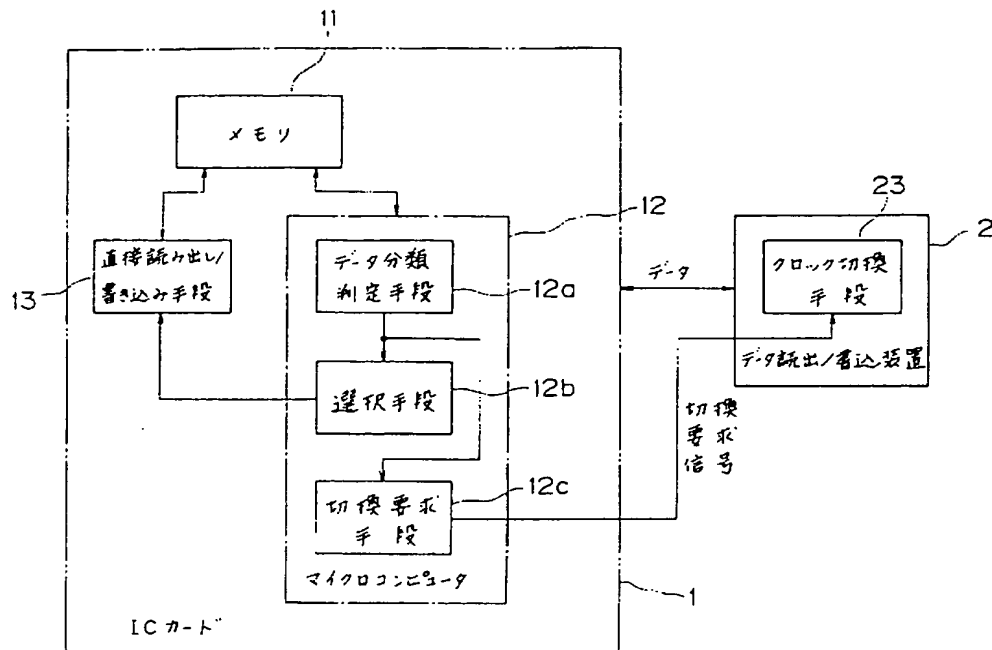
第3図は第2図中のCPUが行う仕事を示すフローチャート図である。

1…ICカード、11…メモリ、12…マイクロコンピュータ(CPU)、12a…データ分類判定手段、12b…選択手段、12c…切換要求手段、13…直接読み出し／書き込み手段(DMAC)、2…データ読出／書込装置(リーダライタ)、23…クロック切換手段。

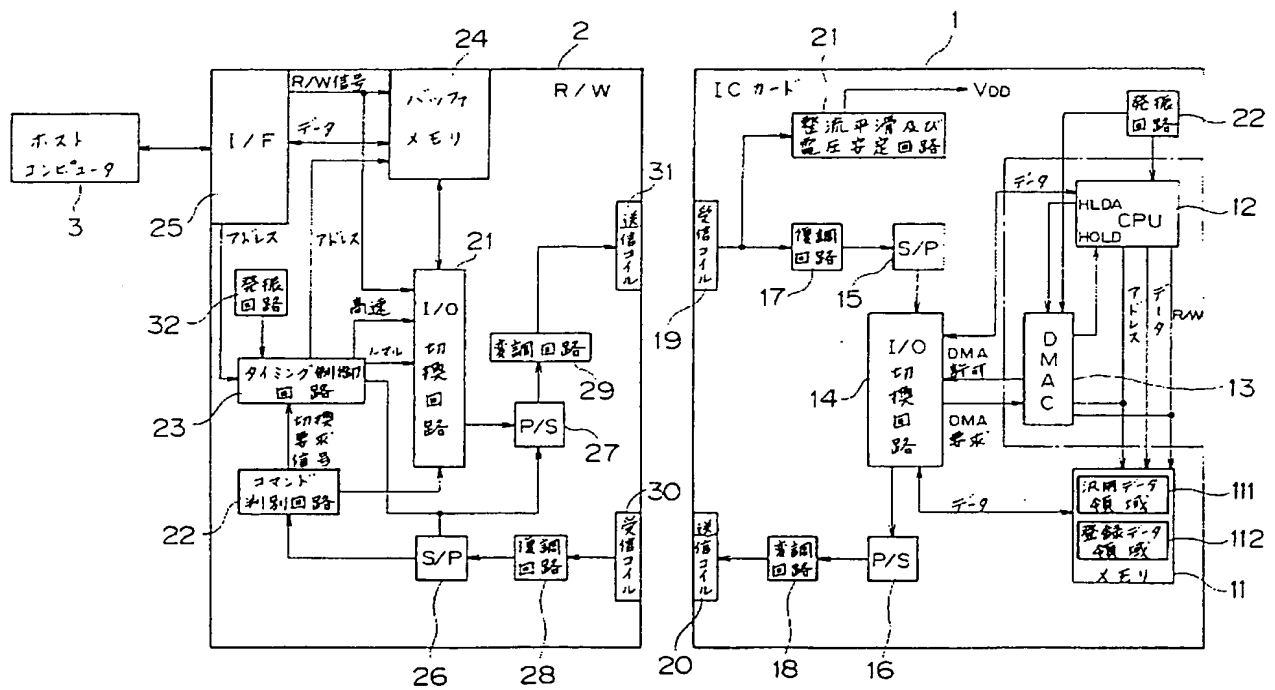
特許出願人	矢崎総業株式会社
代理人	瀧野 秀雄
同	中内 康雄
同	有坂 惲
同	草野 敏



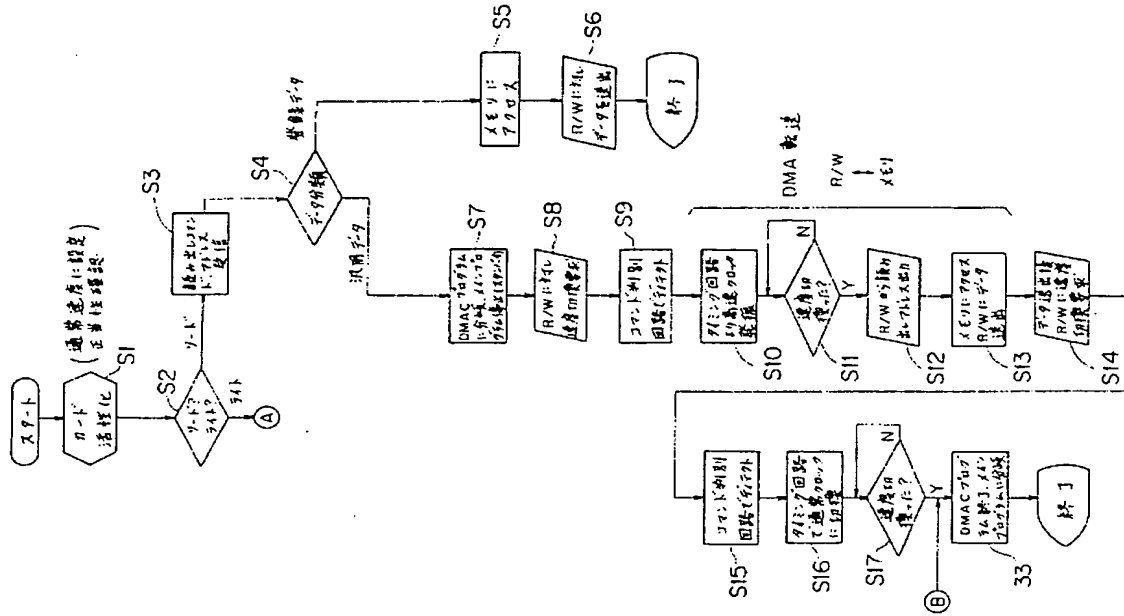
第3図 (その2)



第 1 図



第 2 図



無 3 (451)

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**